

# Les bascules

---

heig-**vd**

Haute Ecole d'Ingénierie et de Gestion  
du Canton de Vaud

**ReDS**

Reconfigurable & Embedded  
Digital Systems

Etienne Messerli  
Institut REDS, HEIG-VD

Le 23 novembre 2011

## Qu'appelle-t-on une bascule ?

---

- Bascule = circuit ayant
  - ✓ un comportement séquentiel (dépendant du temps, du passé, pas seulement des valeurs des entrées)
  - ✓ une seule sortie à 2 états
  - ✓ pas plus de 2 états stables
- Bascules classées selon le nombre d'états stables :
  - ✓ astable (oscillateur) : aucun état stable
  - ✓ monostable : 1 état stable
  - ✓ bistable : 2 états stables

# Exercices

---

- Prenez un inverseur (porte) CMOS ayant un temps de propagation de 10 ns assimilé à un retard pur. Reliez la sortie de cette porte à son entrée. Analysez le comportement de ce circuit.
- En utilisant les temps de propagation des portes, créez un circuit ayant une entrée et une sortie, tel qu'une brève impulsion apparaît à sa sortie lorsque l'entrée passe de l'état bas à l'état haut (flanc montant).

# Bascules bistables

---

Définition d'une bascule bistable :

- 2 états stables
- Des actions sur les entrées permettent de forcer un état ou un changement d'état
- En l'absence de nouvelles actions, l'état est maintenu
  - ✓ Effet de mémorisation
- L'état ne dépend pas uniquement et à tout moment des valeurs présentes aux entrées

# Bascules bistables, comportement

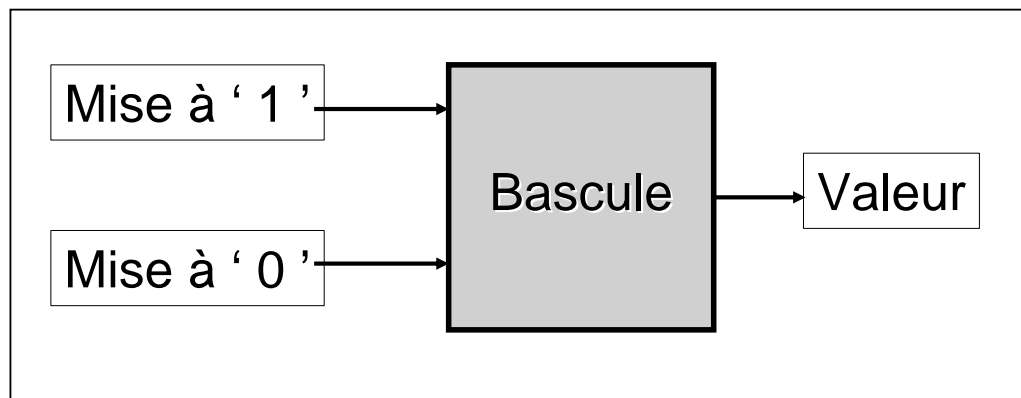
---

- Bascules bistables classées selon leur comportement :
  - ✓ bascule asynchrone RS (bascule élémentaire)
  - ✓ bascule à verrouillage (verrou, «latch»), sensible à l'état de l'entrée de commande du verrou
  - ✓ bascule «edge triggered», sensible à un flanc d'un signal de commande, souvent nommée *flip-flop*

## Bascule élémentaire

---

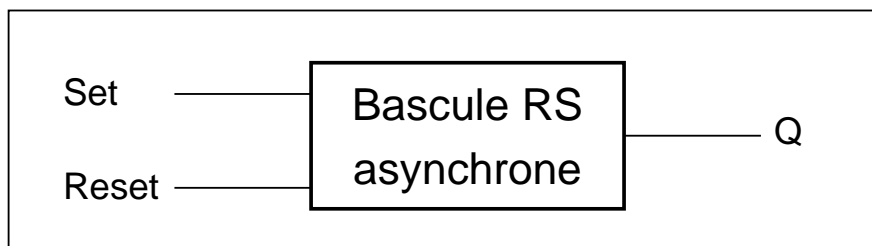
- Module logique permettant d'initialiser et de stocker une valeur logique



# Bascule RS asynchrone ...

- Comportement :

- ✓ Set = '1'                      mise à '1' de la sortie
- ✓ Reset = '1'                    mise à '0' de la sortie
- ✓ Set = Reset = '0'            la sortie conserve sa valeur
- ✓ Set = Reset = '1'            interdit (ne pas utiliser)



# ... bascule RS asynchrone ...

- Conception d'une bascule RS :

- ✓ l'évolution dépend de l'état présent, nous le rajoutons comme entrée

|                                   | R | S | Q | Q+  |            |
|-----------------------------------|---|---|---|-----|------------|
| Q : Etat présent de la bascule RS | 0 | 0 | 0 | ... | } Maintien |
|                                   | 0 | 0 | 1 | ... |            |
| Q+ : Etat futur de la bascule RS  | 0 | 1 | 0 | ... | } Set      |
|                                   | 0 | 1 | 1 | ... |            |
|                                   | 1 | 0 | 0 | ... | } Reset    |
|                                   | 1 | 0 | 1 | ... |            |
|                                   | 1 | 1 | 0 | ... |            |
|                                   | 1 | 1 | 1 | ... |            |

## ... bascule RS asynchrone ...

---

- Conception de la bascule RS:
  - ✓ Etablir l'équation simplifiée de  $Q+$  à l'aide d'une table de Karnaugh
  - ✓ Dessiner le schéma logique de  $Q+$
  - ✓ Connecter le signal  $Q$  sur  $Q+$
  - ✓ Transformer le schéma logique en utilisant des portes NOR et des inverseurs NOT

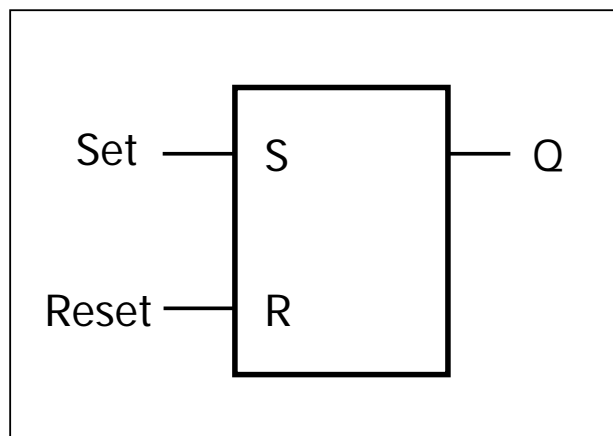
## ... bascule RS asynchrone ...

---

- Table des transitions

Symbole CEI

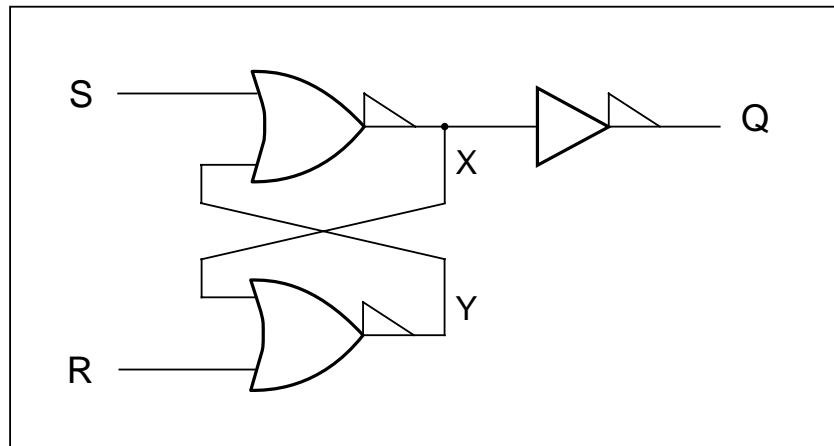
| R | S | Q+       |
|---|---|----------|
| 0 | 0 | Q        |
| 0 | 1 | 1        |
| 1 | 0 | 0        |
| 1 | 1 | interdit |



# ... bascule RS asynchrone ...

---

- Schéma logique :



A quoi sert la porte inverseuse sur la sortie Q ?

## Bascule RS asynchrone: inconvénients

---

- La bascule RS asynchrone est sensible à toute impulsion sur ses entrées
  - ✓ Si durée supérieure au temps de propagation de 2 portes => changement d'état définitif de la bascule RS
  - ✓ Si durée inférieure au temps de propagation de 2 portes => état final de la bascule RS indéterminé !
- Les commutations des circuits produisent des parasites
- Nos circuits génèrent des aléas
- Ces parasites et ces aléas peuvent faire changer d'état une bascule RS asynchrone

# Bascule à verrouillage (latch)

---

- Solution pour éviter les basculements indésirables : verrouiller la bascule lorsque des parasites et/ou des aléas peuvent apparaître sur les entrées
- Verrouiller = mettre les entrées à l'état inactif
- Cette bascule est sensible à l'état de la commande de verrouillage G:
  - ✓ G = '0' → la bascule ne répond pas aux entrées S et R
  - ✓ G = '1' → la bascule répond aux entrées S et R

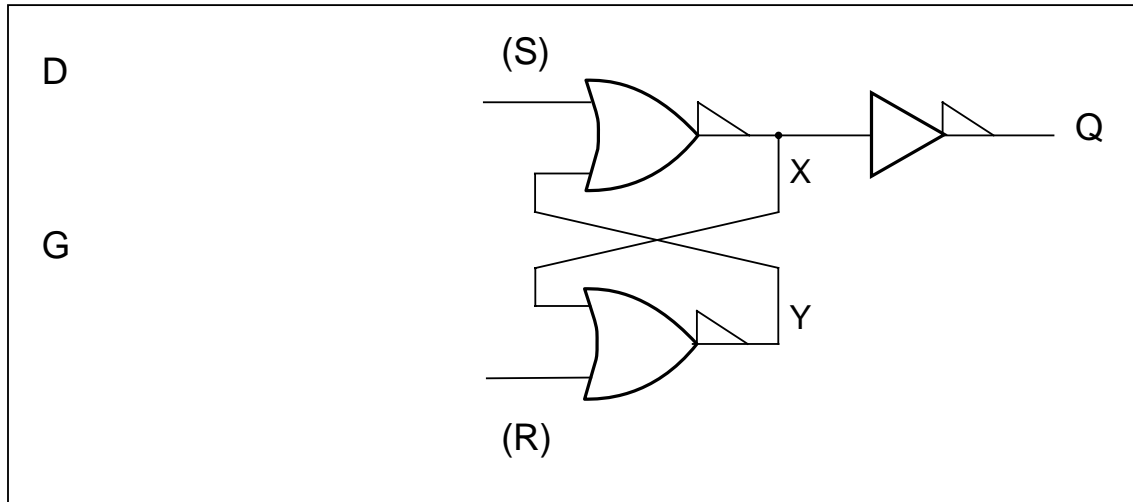
## Latch D ...

---

- But : mémoriser 1 bit de donnée, au moment souhaité
- Entrées :
  - ✓ D : donnée
  - ✓ G : commande de verrouillage (gate)
- Comportement :
  - ✓ G = '1' => la sortie prend la valeur de l'entrée D : cette bascule est **transparente** (verrou ouvert)
  - ✓ G = '0' => la sortie conserve sa valeur
- Sensible au niveau de la commande de verrouillage G

# ... LATCH D ...

- Schéma logique :



Version utilisant une bascule RS

# ... LATCH D ...

- Symbole CEI :

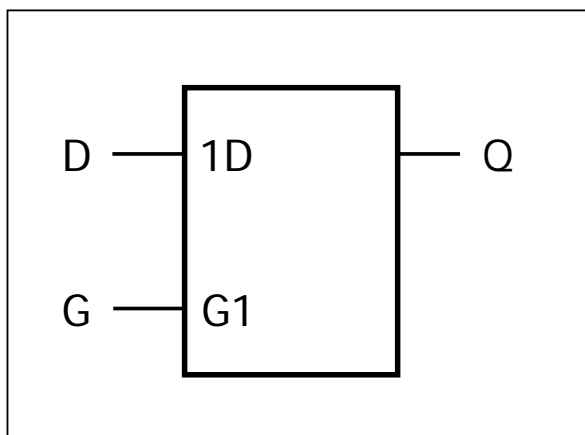
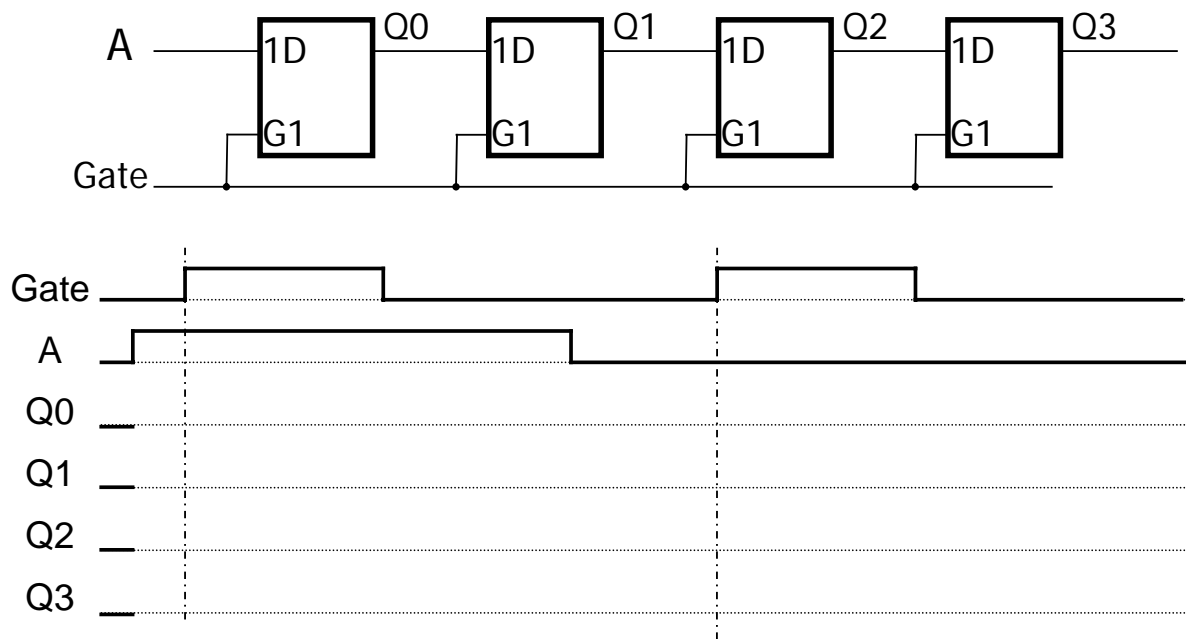


Table des transitions

| G | D | Q+ |
|---|---|----|
| 0 | 0 | Q  |
| 0 | 1 | Q  |
| 1 | 0 | 0  |
| 1 | 1 | 1  |

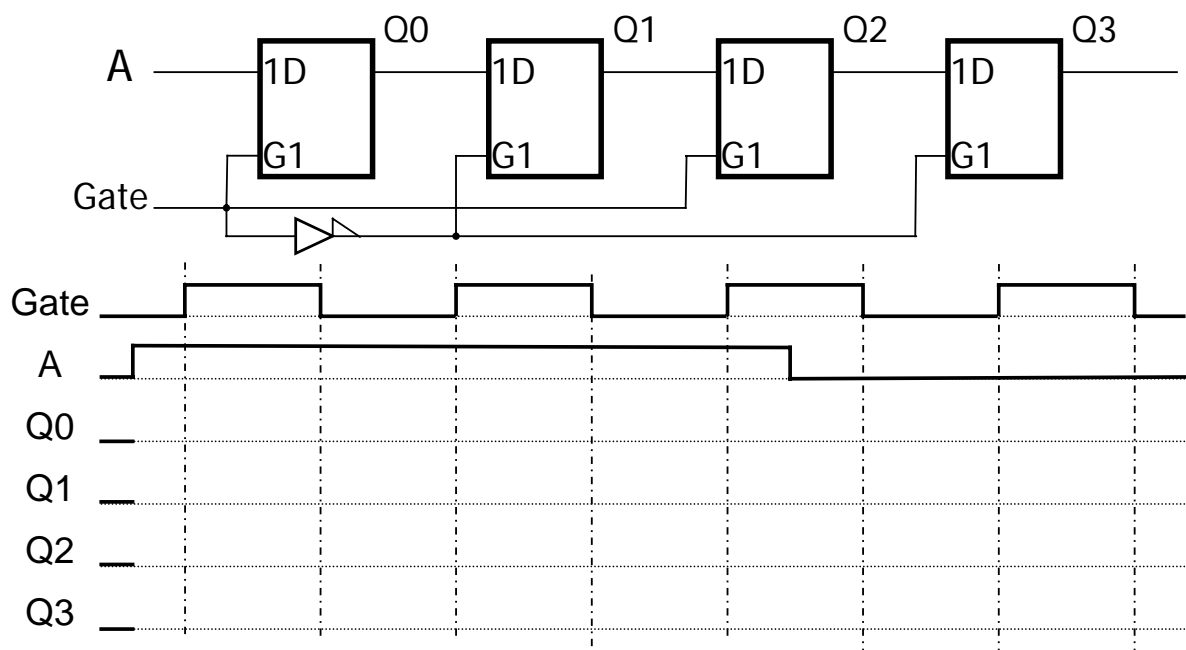
# Décalage avec des Latches

Registre à décalage avec des Latches



# Décalage avec des Latches "bis"

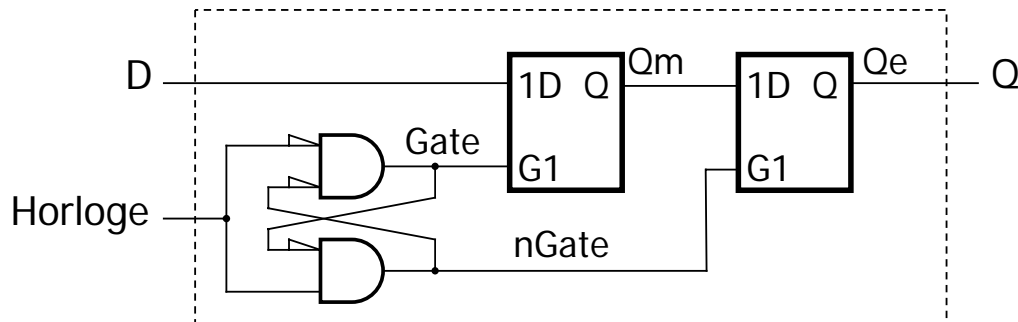
Registre à décalage avec des latches et 2 signaux de commande



# Bascule "maître-esclave" ...

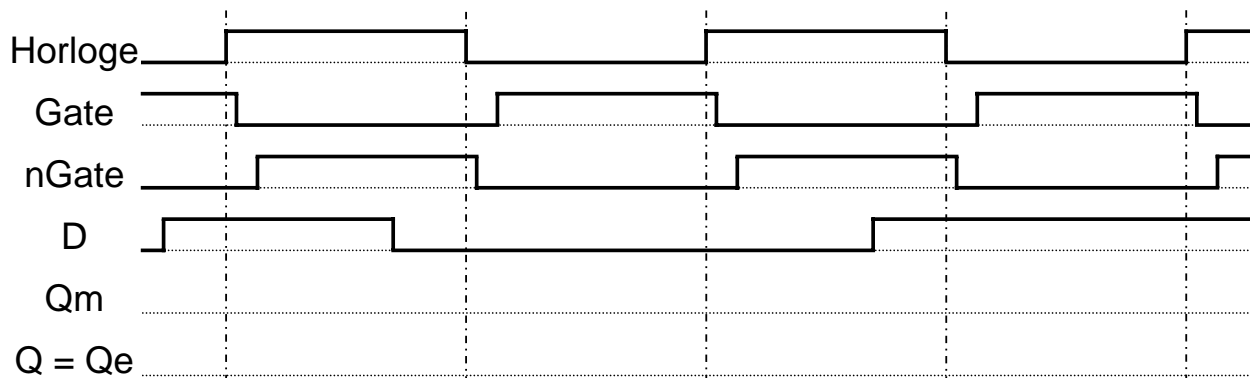
Bascule constituée de 2 Latches avec 2 signaux gates inversés

⚠ ces deux signaux ne doivent pas être actifs simultanément



# ... bascule "maître-esclave" ...

Analyse du fonctionnement interne



Le comportement correspond à une bascule sensible au flanc

# Flip-flop D ou bascule "Edge trigger"

---



- Comportement :
  - ✓ Si un flanc montant ou descendant (suivant la polarité choisie) se présente sur l'entrée d'horloge, la sortie prend à cet instant la valeur de l'entrée D

Bascule sensible sur un flanc  
avec le signal Horloge comme entrée d'autorisation

## ... flip-flop D (DFF) ...

---

- Table des transitions

| Horloge   | D | Q+ |
|---|---|----|
|  | 0 | 0  |
|  | 1 | 1  |

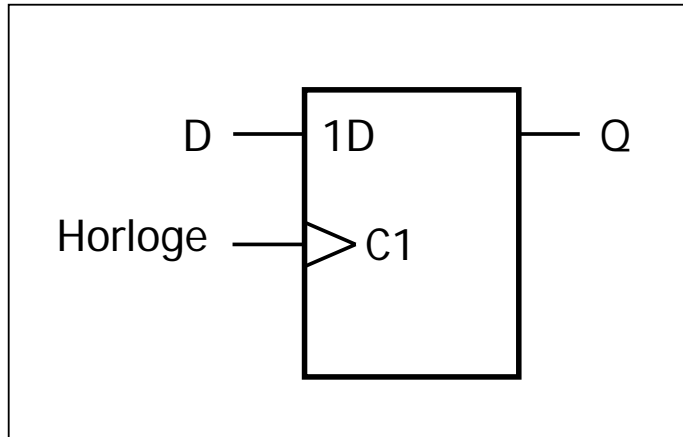
souvent

- Table des transitions synchrones:

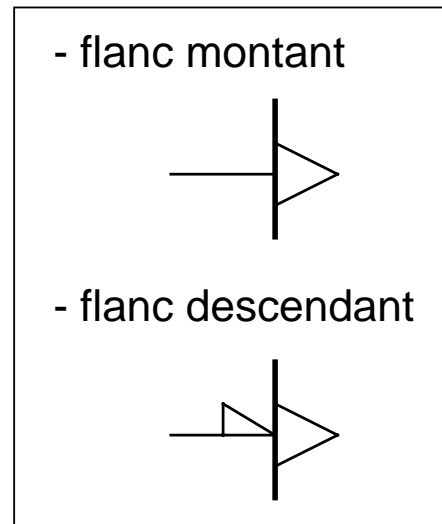
|                            | D | Q+ |
|----------------------------|---|----|
| signal d'horloge implicite | 0 | 0  |
|                            | 1 | 1  |

# ... flip-flop D (DFF) ...

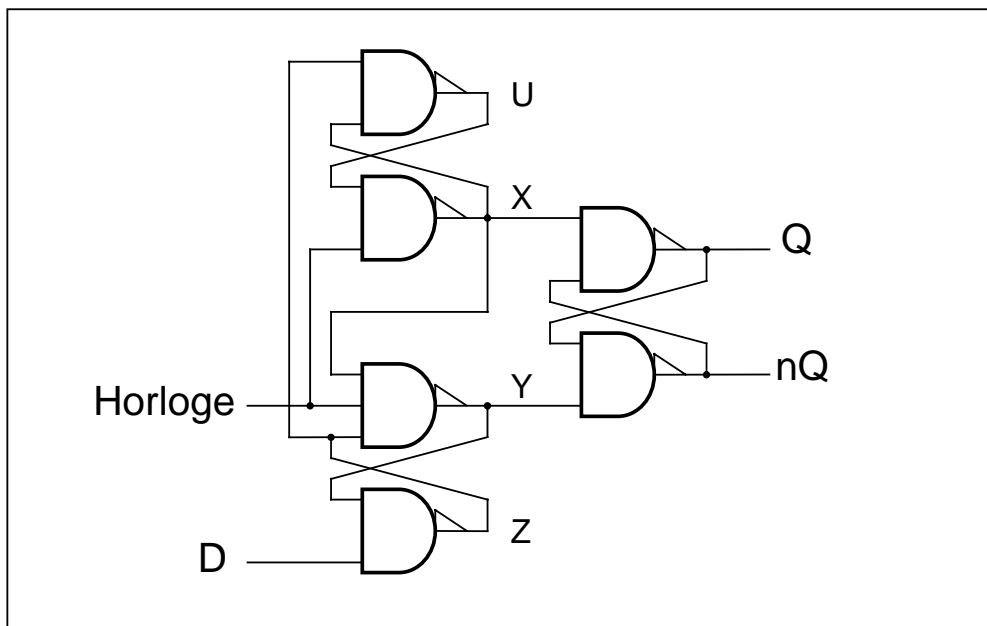
Symbole CEI :



Polarité du flanc :



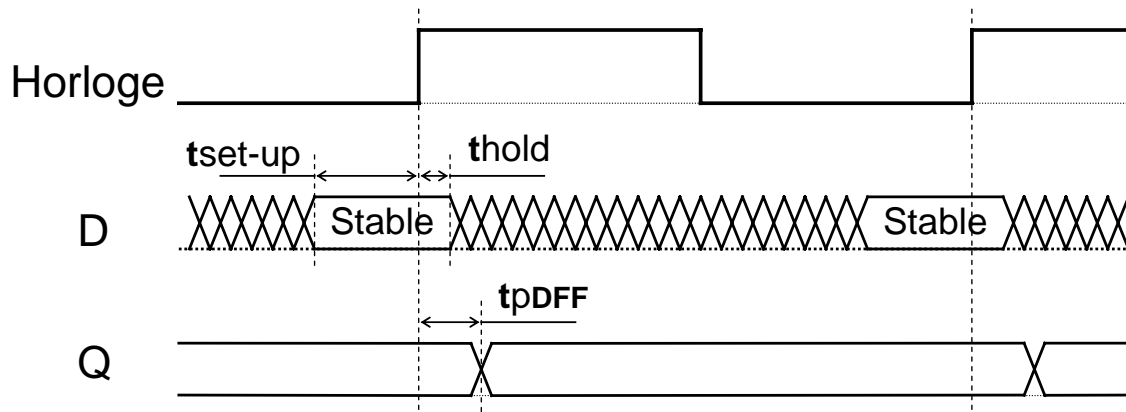
# Schéma interne flip-flop D (DFF)



# Caractéristiques dynamiques DFF ...

Les caractéristiques dynamiques découle du fonctionnement autonome du flip-flop

- ✓ L'étude du fonctionnement de la bascule maître-esclave montre ce fonctionnement autonome (similaire pour un flip-flop)



## ... caractéristiques dynamiques DFF

Description des différents timings:

- ✓ **tset-up**: temps de set-up  
Temps pendant lequel la flip-flop prépare les signaux internes du 1<sup>er</sup> étage pendant que Horloge est à '0'
- ✓ **thold**: temps de maintien  
Temps pendant lequel l'entrée doit être stable pour permettre le changement de l'état de l'horloge de '0' à '1' sans perdre l'état interne.  
thold est très souvent nul, 0 ns
- ✓ **tpDFF**: temps de propagation de la bascule  
Temps de propagation entre le changement de l'horloge et la sortie



# Flip-flop T (toggle)...

---

- Bascule sensible au flanc :
  - ✓ Si  $T = 0$  alors la sortie est maintenue
  - ✓ Si  $T = 1$  alors la sortie  $Q$  est inversée

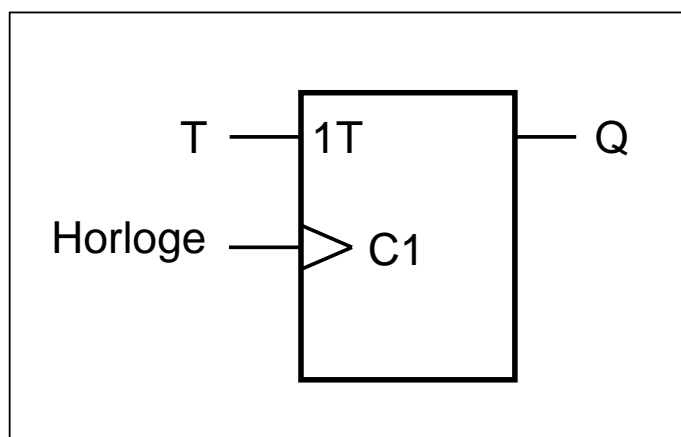
Table des  
transitions  
synchrones

| T | Q+    |
|---|-------|
| 0 | Q     |
| 1 | not Q |

## ... flip-flop T (toggle)

---

- Symbole CEI :



# Flip-flop JK ...

---

- Bascule sensible au flanc :
  - ✓ si  $J = K = 0$  la sortie conserve sa valeur (hold)
  - ✓ si  $J = 1$  et  $K = 0$  la sortie prend la valeur 1 (set)
  - ✓ si  $K = 1$  et  $J = 0$  la sortie prend la valeur 0 (reset)
  - ✓ si  $J = K = 1$  la sortie prend l'état inverse (toggle)

Table des transitions synchrones

| J | K | Q+    |
|---|---|-------|
| 0 | 0 | Q     |
| 0 | 1 | 0     |
| 1 | 0 | 1     |
| 1 | 1 | not Q |

# ... flip-flop JK ...

---

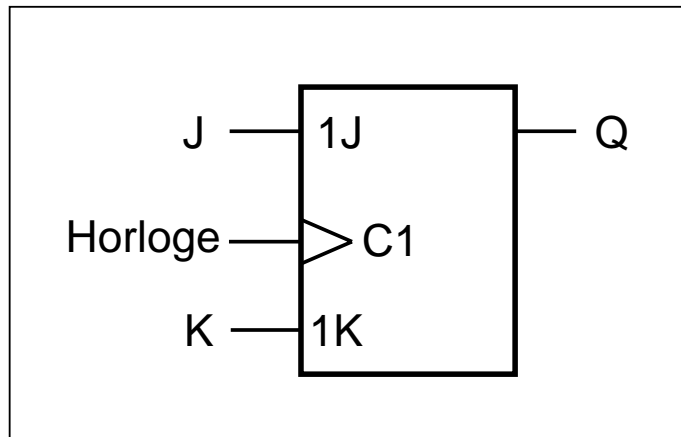
- Autre table des transitions synchrones

| Bascule JK | Etat initial | Etat Final | J K |
|------------|--------------|------------|-----|
|            | 0            | 0          | 0 - |
|            | 0            | 1          | 1 - |
|            | 1            | 0          | - 1 |
|            | 1            | 1          | - 0 |

# ... flip-flop JK

---

- Symbole CEI :



## Types de bascules bistables / entrées

---

- Asynchrone :
  - ✓ type SR (Set, Reset)
- Latch (sensible au niveau):
  - ✓ type SR
  - ✓ type D
- Flip-flop (sensible au flanc):
  - ✓ type D (delay)
  - ✓ type DFFE (delay with enable)
  - ✓ type JK (préfér  au SR)
  - ✓ type T (toggle)

# Description VHDL des bascules

---

- Voir présentation :
  - ✓ EMI\_ProcessVHDL\_Bascules.ppt