

# Introduction unité BSL

---

heig-vd

Haute Ecole d'Ingénierie et de Gestion  
du Canton de Vaud

**ReDS**  
Reconfigurable & Embedded  
Digital Systems

Etienne Messerli

20 septembre 2011

## Etienne Messerli, EMI ...

---

- Professeur à la HEIG-VD depuis octobre 1995
  - ✓ Unité préparatoire de systèmes numériques: UPN
  - ✓ Unité de systèmes numériques 2<sup>ème</sup> année: BSL (partie 1)
  - ✓ Unité de systèmes numériques 2<sup>ème</sup> année: SSA (partie 2)
  - ✓ Unité d'architecture des ordinateurs 1<sup>ère</sup> année: ARO1
  - ✓ Unités à choix 3<sup>ème</sup> année:
    - CSF (Conception de systèmes numériques sur FPGA)
  - ✓ Module master: ReCo (Reconfigurable Computing),
  - ✓ *Unité de théorie des circuits 1<sup>ère</sup> année: TCL1*

# Formation, expérience professionnelle

---

- Diplômé de l'EPFL, Lausanne, 1986
- Diplômé de l'EIG, Genève, 1980
  
- Depuis 10.1995: Professeur à l'EINEV, EIVD, puis HEIG-VD
- 10.1992-09.1995: Chargé de cours à l'EINEV
- 03.1987-09.1995: CYBELEC, Yverdon-les-Bains
- 07.1986-12.1986: Voyage Irlande, étude anglais
- 07.1980-06.1982: Brown-Boveri & Cie, Baden

## Coordonnées EMI

---

- Etienne Messerli
- Acronyme: EMI
- Bureau: B53, niveau B, aile ouest
- E-mail: [etienne.messerli@heig-vd.ch](mailto:etienne.messerli@heig-vd.ch)

# Activités

---

## Répartition de mes activités :

- 40% Enseignement
- 60% autres missions HES, soit :
  - ✓ directeur de l'institut REDS
  - ✓ chef de projets Ra&D
  - ✓ cours de formation continue :
    - pour l'industrie, cours VHDL de base et avancés (re-use, verification)
    - pour des professeurs de centre professionnel
    - université INSA, Rennes, France

## Domaines : mots clés ...

---

### Conception de systèmes numériques complexes



Méthodologie

Outils EDA **Mentor Graphics**

```
Library IEEE;  
use IEEE.Std_Logic_1164.all;  
entity Flip_Flop is  
    port (D      : in Std_Logic;  
          Clock  : in Std_Logic;  
          Q      : out Std_Logic);  
end Flip_Flop;  
architecture Comport of Flip_Flop is  
begin  
    process(Clock)  
    begin  
        if Rising_Edge(Clock) then  
            Q <= D;  
        end if;  
    end process;  
end Comport;
```

VHDL

Vérification  
VHDL-SystemVerilog

# ... domaines : mots clés

IP-Core: PCI, AES, ARM9

High-speed serial links :



Optical link up to 100 Giga

Soft-Processor:

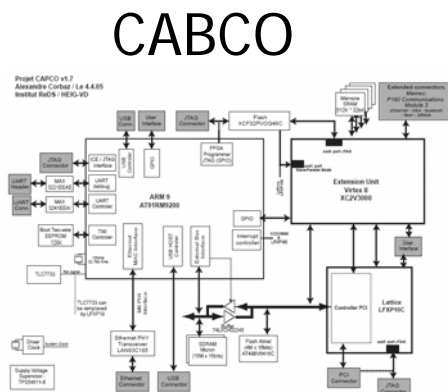


High performance  
Pipeline Co-Design

## Exemples projets :

PCI : Réalisation d'un *Core* en VHDL

STROC : Co-Design pour cryptographie



### Crypter 64 bits avec DES

Soft ARM7, 75 Mhz

Hard



~ 330  $\mu$ s  
~ 200 Kbits/s

~ 90 ns  
~ 700 Mbits/s

Result : hard is 3600 faster than soft

# Unité BSL

---

- Dotation cours et labo :

Semestre	Cours	Labo
S3, automne	4	3

- Contrôle continu durant le semestre (cours et labo)
- Examen unité d'enseignement : écrit commun

## Relation étudiants → professeur

---

- Nommer un délégué de classe qui est le porte parole de l'ensemble des étudiant(e)s
- Son rôle est de transmettre, de manière anonyme, tous les messages de la classe au professeur
- Je communique ma réponse à la classe, si nécessaire j'ouvre une discussion

# Déroulement du cours

---

Le cours est décomposé en 2 parties :

- ~ 50% présentation de la théorie et d'exemples.
- ~ 50% exercices (analyse, élaboration, correction, ...)
  - ✓ Correction par étudiant ou professeur au tableau noir
  - ✓ Un étudiant fait un corrigé et me le transmet (étudiant choisi selon la liste de classe)  
Je le corrige et je fais des copies pour toute la classe

# Méthode de travail

---

- Prendre des notes
- Travailler régulièrement la matière
- Lire les supports de cours d'une séance à l'autre
- Faire les exercices d'une séance à l'autre
  - ✓ Nécessite un travail personnel
  - ✓ Permet de comprendre la matière au fur et à mesure
- Objectif: pouvoir poser des questions au cours suivant.

# Support et documentation de cours

---

- Polycopiés :
  - ✓ Electronique numérique tome 1, tome2 (partiel)  
( Gaumain, Messerli, Meyer)  
+ copie des présentations PPT
  - ✓ PPT chapitre MSS simple (machine d'états)
- Série d'exercices pour chaque chapitre
- Manuel VHDL, synthèse et simulation
- Introduction aux logiciels de Mentor Graphics

## Evaluation (contrôle continu)

---

- 7 à 9 Tests
  - ✓ durée 30 minutes (2 périodes)
  - ✓ plusieurs petites questions ou un exercice complet
- Un test environ toutes les 2 semaines
  - ✓ mercredi à 11h30
- Documents autorisés :
  - ✓ Polycopiés et documentations fournies
  - ✓ Exercices et notes personnelles
  - ✓ Calculatrice
- Moyenne du cours : moyenne calculée sur N-1 tests

# Absence lors des évaluations

---

- Absence lors d'un test :
  - ✓ Le test est sanctionné de la note 1,0
  - ✓ Pas d'excuse possible, sauf si absence justifiée (exemple: CR, PC, ...)
  - ✓ Si absence justifiée :  
Travail écrit de rattrapage à la fin de l'unité d'enseignement sur l'ensemble de la matière.

# Note finale de l'unité BSL

---

- Formule pour le calcul de la note finale de l'unité d'enseignement BSL :

$$\text{Note finale} = \text{cours} * 0.3 + \text{labo} * 0.2 + \text{examen} * 0.5$$

- Contenu et calcul note finale:
  - ✓ Voir fiche d'unité: <https://gaps.heig-vd.ch/>

# Contenu unité BSL ...

---

Fiche d'unité:  
voir GAPS

- Numération et fonction logiques de base:  
RAPPEL de l'unité UPN:
  - ✓ codification (numération, base 2, 10 et 16)
  - ✓ fonctions de bases (NON, ET, OU, ...)
  - ✓ algèbre de Boole (postulats, théorèmes)
  - ✓ schéma logique, table de vérité, table de Karnaugh
- Représentation des nombres négatifs
  - ✓ Représentation en C2 et C1
  - ✓ Addition et soustraction en binaire

# ... contenu unité BSL ...

---

Fiche d'unité:  
voir GAPS

- Systèmes logiques combinatoires complexes
  - ✓ fonctions combinatoires standards
    - MUX, DEMUX, ADD, ...
  - ✓ décomposition des systèmes combinatoires
  - ✓ circuits mémoires ROM
  - ✓ circuits logiques programmables (CPLD)
- *Aspects techniques circuits combinatoires*

- *Aspects techniques circuits combinatoires*
  - ✓ *Bref aperçu*
- Systèmes logiques séquentiels simples
  - ✓ introduction sur les bascules (base vue en UPN)
  - ✓ évolution système séquentiel, chronogramme,
  - ✓ machine d'états (graphes, réduction, codage)
  - ✓ registres et compteurs
    - fonctions standards séquentielles
  - ✓ conception de systèmes séquentiels simples

## Logiciels et langage de description

---

- HDL Designer (+ QuestaSim, Precision, Quartus)
  - ✓ Logiciels permettant un *flow* complet pour réaliser un circuit logique programmable (description, simulation, synthèse, intégration)
- Description des systèmes numériques:  
nous utiliserons le langage de description de matériel

## VHDL

# Planning unité BSL, S1 semaines 1 à 8 ...

Semestre 1 : 4 p. cours (64), 3 p. labo (48)

	2 périodes	2 périodes	3 périodes
1	19-sept Jeune fédéral, congé	Rappel : codification (base 2, 10 et 16), nbr signés, fonctions de bases (NON, ET, OU, ...), algèbre de Boole, schéma, (evtl transf. NAND), TDV, table de Karnaugh	
2	26-sept Fct incompl. définie Journal + pres manip intro	Résolution exe : CC texte => schéma logique	Labo intro logiciel EDA (3p) : Multiplexeur 2 à 1 (TDV, saisie schéma HDL, simulation man + auto, intégration, prog CPLD, test)
3	3-oct Résolution exe : CC texte => schéma logique	Fcts std combinatoires: décodeur	Fcts std combinatoires: décodeur
4	10-oct Fcts std combinatoires: multiplexeur	Introduction au VHDL (labo)	Labo système combinatoire simple (6 p.): Mesure de la gîte d'un bateau
5	17-oct Fcts std combinatoires: multiplexeur	Fcts std combinatoires: comparateur	Labo système combinatoire simple (6 p.): Mesure de la gîte d'un bateau
	24-oct Vacances automne		
6	31-oct Fcts std combinatoires: additionneur, C2	Fcts std combinatoires: additionneur, C2	Fcts std combinatoires: additionneur, C2, mult binaire
7	7-nov Décomposition fonctionnelle	Aspects techniques, sorties OC et tri-state	Labo système combinatoire hiérarchique (9 p.) à définir
8	14-nov Mémoire ROM (survol)	Circuits PLD combinatoire	Labo système combinatoire hiérarchique (9 p.) à définir

# ... planning unité BSL, S1 semaines 9 à 16

Semestre 1 : 4 p. cours (64), 3 p. labo (48)

	2 périodes	2 périodes	3 périodes	
9	21-nov Bascules DFF, TFF; syst. seq simple, chronogramme	Bascules DFF, TFF; syst. seq simple, chronogramme	Labo système combinatoire hiérarchique (9 p.) à définir	
10	28-nov Intro système séquentiel	VHDL: process, description élément mémoire (labo)	Labo description de bascules en VHDL (3p.)	
11	5-déc Système séquentiel : registre	Système séquentiel : registre	Système séquentiel : compteur	
12	12-déc Système séquentiel : compteur	Syst. seq. simple: reg+ cpt (description VHDL)	Labo système séquentiel simple (6p.): compteur simple	
13	19-déc Système séquentiel simple : Machine d'état MSS	Système séquentiel simple : Machine d'état MSS	Labo système séquentiel simple (6p.): compteur simple	
	26-déc Vacances Noël			
	2-janv Vacances Noël			
14	9-janv Système séquentiel simple : Machine d'état MSS	Système séquentiel simple : Machine d'état MSS	Labo système séquentiel : Machine d'état (MSS simple) 15 périodes	
15	16-janv Système séquentiel simple : Machine d'état MSS	Labo système séquentiel : Machine d'état (MSS simple) 15 périodes		
16	23-janv Système séquentiel simple : Machine d'état MSS	Labo système séquentiel : Machine d'état (MSS simple) 15 périodes		

# Préparation pour

---

- Conception de systèmes numériques

Projet de semestre et diplôme !

- Unités d'enseign. MUI, SSA, ASP, IEM, ...
- Programmation en langages évolués
- Applications avec microcontrôleurs, DSP, systèmes embarqués (ARM), ...
- Architectures avancées d'ordinateurs

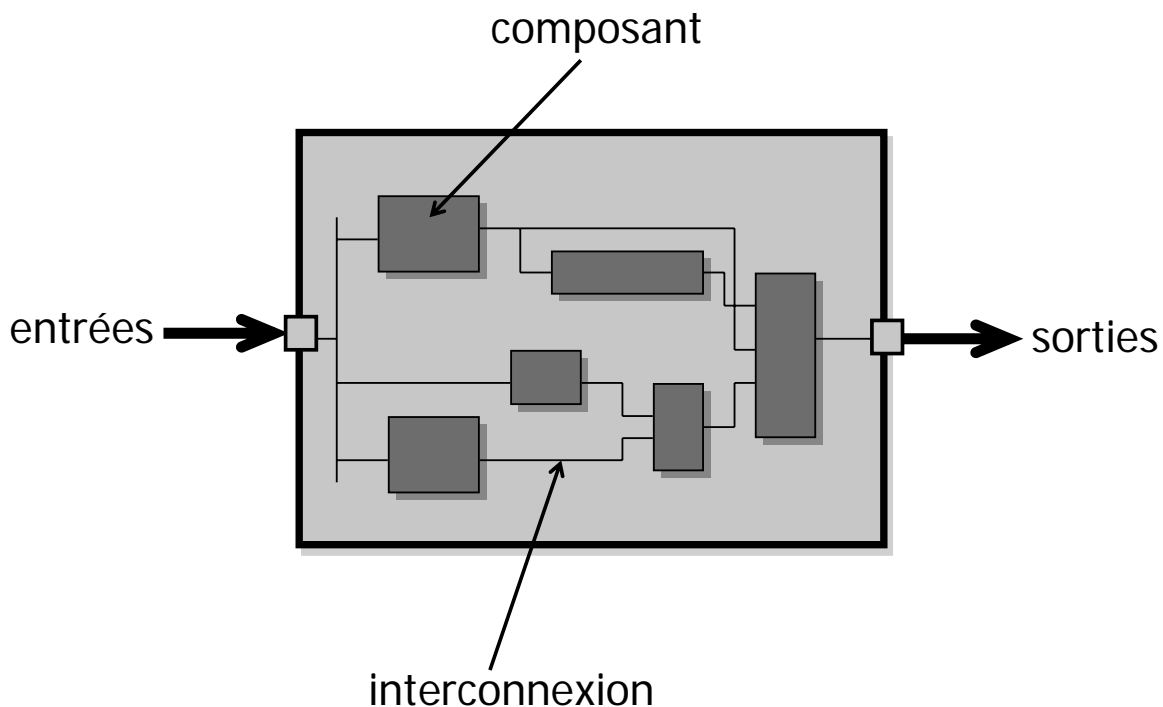
# Systeme

---

- Un système est une collection organisée d'objets qui interagissent pour former un tout
- Objets = composants du système
- Interconnexions = liens entre les objets nécessaires pour les interactions
- Structure = organisation du système (composants, interconnexions)
- Comportement = fonctionnement du système (entrées, sorties)

# Vue d'un système

---



# Réalisation d'un système

---

- Analyse:
  - ✓ Déterminer le comportement d'un système à partir d'une description textuelle
- Conception:
  - ✓ Déterminer la structure nécessaire qui produit un comportement donné.
  - ✓ Plusieurs structures sont possibles pour obtenir un même comportement (entrées – sorties)

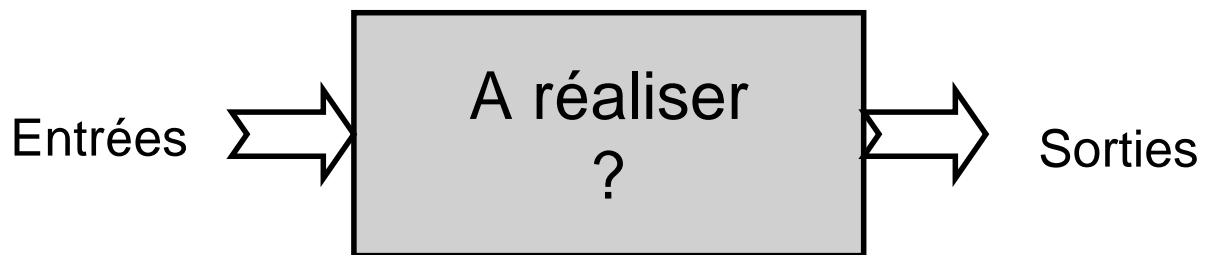
# Objectif général du cours

---

Traduire une description d 'un système  
(cahier des charges textuel)

**en**

un système numérique



## The Name of the Game (Wakerly, p22)

---

Objectif pratique de la conception numérique

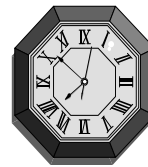
- Correspondre au fonctionnement
- Assurer les performances demandées  
puis
- Minimiser les coûts de production
- Mettre le produit sur le marché dans un délai raisonnable

# Représentations de l'information

---

- Analogique:

Les valeurs ne sont pas séparées par des sauts:  
entre deux valeurs A et B il existe  
un nombre infini d'autres valeurs



- Digitale (numérique):

Une valeur est représentée par une chaîne  
finie de symboles appelés digits.



Il est **impossible** de représenter numériquement tous les nombres  
existants entre deux points d'une échelle analogique

## Disque "Vinyle" & "CD-Audio"

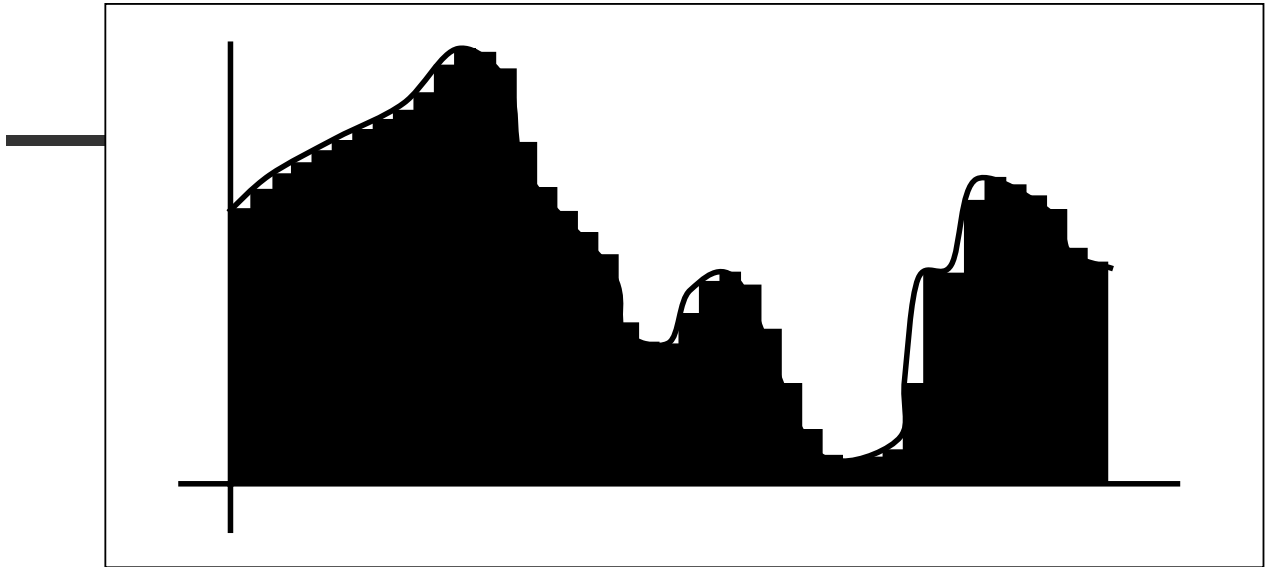
---



Avantages ?



Inconvénients ?



Pour enregistrer sur un CD, le son est échantillonné 44'100 fois par seconde. La valeur de chaque échantillon est stockée en binaire, à l'aide de 16 digits (*bits*): il n'y a que 65'536 valeurs possibles ( $2^{16}$ )

## At the END ?

---

A lire et comprendre !

Il y a 10 types de personnes sur Terre,  
ceux qui comprennent le binaire  
et les autres !